

총 설

반도체 소자용 구리 배선 형성을 위한 전해 도금

김명준 · 김재정[†]

서울대학교 화학생물공학부
151-744 서울시 관악구 관악로 1
(2013년 9월 24일 접수, 2013년 10월 18일 수정본 접수, 2013년 10월 22일 채택)

Electrodeposition for the Fabrication of Copper Interconnection in Semiconductor Devices

Myung Jun Kim and Jae Jeong Kim[†]

School of Chemical and Biological Engineering, Institute of Chemical Process, Seoul National University,
1 Gwanak-ro, Gwanak-gu, Seoul 151-744, Korea
(Received 24 September 2013; Received in revised form 18 October 2013; accepted 22 October 2013)

요 약

전자 소자의 구리 금속 배선은 전해 도금을 포함한 다마신 공정을 통해 형성한다. 본 총설에서는 배선 형성을 위한 구리 전해 도금 및 슈퍼필링 메카니즘에 대해 다루고자 한다. 슈퍼필링 기술은 전해 도금의 전해질에 포함된 유기 첨가제의 영향에 의한 결과이며, 이는 유기 첨가제의 표면 덮임을 조절하여 웨이퍼 위에 형성된 패턴의 바닥 면에서의 전해 도금 속도를 선택적으로 높임으로써 가능하다. 소자의 집적도를 높이기 위해 금속 배선의 크기는 계속적으로 감소하여 현재 그 폭이 수십 nm 수준으로 줄어들었다. 이러한 배선 폭의 감소는 구리 배선의 전기적 특성 감소, 신뢰성의 저하, 그리고 슈퍼필링의 어려움 등 여러 가지 문제를 야기하고 있다. 본 총설에서는 상기 기술한 문제점을 해결하기 위해 구리의 미세 구조 개선을 위한 첨가제의 개발, 펄스 및 펄스-리버스 전해 도금의 적용, 고 신뢰성 배선 형성을 위한 구리 기반 합금의 슈퍼필링, 그리고 슈퍼필링 특성 향상에 관한 다양한 연구를 소개한다.

Abstract – Cu interconnection in electronic devices is fabricated via damascene process including Cu electrodeposition. In this review, Cu electrodeposition and superfilling for fabricating Cu interconnection are introduced. Superfilling results from the influences of organic additives in the electrolyte for Cu electrodeposition, and this is enabled by the local enhancement of Cu electrodeposition at the bottom of filling feature formed on the wafer through manipulating the surface coverage of organic additives. The dimension of metal interconnection has been constantly reduced to increase the integrity of electronic devices, and the width of interconnection reaches the range of few tens of nanometer. This size reduction raises the issues, which are the deterioration of electrical property and the reliability of Cu interconnection, and the difficulty of Cu superfilling. The various researches on the development of organic additives for the modification of Cu microstructure, the application of pulse and pulse-reverse electrodeposition, Cu-based alloy superfilling for improvement of reliability, and the enhancement of superfilling phenomenon to overcome the current problems are addressed in this review.

Key words: Metal Interconnection, Damascene Process, Electrodeposition, Copper, Superfilling

1. 서 론

구리(Cu)는 알루미늄(Al)을 대체하여, 다양한 전자 소자의 배선 물질로 사용되고 있다. 구리는 알루미늄에 비해 상대적으로 낮은 전기적 저항을 가지고 있으며 일렉트로마이그레이션(electromigration) 현상에 대해 높은 저항을 가지고 있기 때문에 전자 소자의 속도를 빠르게 할 뿐만 아니라 신뢰성을 향상시켰다. 250 nm 이상의 배선 폭

에서는 전자 소자의 속도가 트랜지스터(transistor)의 게이트 딜레이(gate delay)에 의해 결정되었지만, 소자의 크기가 감소함에 따라 금속 배선에서의 신호 전달 속도가 전자 소자 전체의 속도를 느리게 하는 원인으로 작용하였다[1]. 이를 해결하기 위해 낮은 비저항을 가지는 구리가 전자 소자의 배선 물질로 사용되기 시작하였다. 현재, CPU와 같은 마이크로프로세서에서는 10층 이상의 구리 다층 배선을 사용하고 있으며, 메모리 소자 역시 구리 배선을 포함한 3층 배선이 사용되고 있다[2].

전자 소자의 신호 전달 속도 향상 및 집적도를 높이기 위해서는 회로 설계를 바탕으로 다층 배선을 형성하는 것이 효과적이다. Fig. 1(a)는 서브트랙티브에칭법(subtractive etching process)을 이용하여

[†]To whom correspondence should be addressed.

E-mail: jjkimm@snu.ac.kr

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

알루미늄 배선을 형성하는 과정을 보여준다[6]. 우리가 원하는 소자를 형성한 웨이퍼(wafer) 위에 알루미늄을 증착한 후, 사진(lithography) 및 건식 식각(dry etching) 공정을 진행하여 알루미늄 패턴(pattern)을 형성한다. 이후 알루미늄 패턴 사이에 절연체(dielectric material)를 채우고, 평탄화(planarization) 공정을 진행한다. 이러한 과정을 반복함으로써 알루미늄 다층 배선의 형성이 가능하다. 앞서 설명한 방법을 구리 배선 형성에 적용할 경우, 건식 식각 시 발생하는 구리와 할로젠 화합물(Cu-Cl complex)의 휘발성이 낮아 표면에서 제거되지 않으며, 추후 공정의 신뢰성에 큰 문제를 야기한다. 따라서 구리 배선은 다마신 공정(damascene process)을 이용하여 형성하고 이는 Fig. 1(b)에 나타나 있다[3-6]. 웨이퍼 위에 절연체를 증착한 후, 사진 및 식각 공정을 이용하여 비아(via)와 트렌치(trench)를 형성한다. 실리사이드(silicide)의 형성을 막기 위한 확산방지층(diffusion barrier layer)과 구리 전해 도금(electrodeposition)을 위한 씨앗층(seed layer)을 증착한다. 형성된 트렌치나 비아를 구리 전해 도금 기반 수퍼필링(superfilling) 공정을 이용하여 결함 없이 채운 이후, 과전착된 구리를 CMP(chemical mechanical polishing/planarization) 공정을 이용하여 제거한다. 다마신 공정의 반복을 통해 구리 다층 배선을 얻을 수 있다. 추가적으로 구리 배선의 산화 및 절연체로의 확산을 막기

위한 캡핑층(capping layer)을 형성한다[7,8]. 알루미늄 배선 형성 공정과 달리 구리 전해 도금이 도입되었고, 우수한 특성을 가지는 구리 배선을 결함 없이 형성하는 것이 전해 도금의 가장 큰 목적이다.

전자 소자의 크기는 소자의 속도 및 집적도를 높이기 위해 계속적으로 감소하고 있으며, 소자 내에 포함된 배선의 크기 역시 빠르게 줄어들고 있다. 현재, 배선의 폭은 30 nm 이하로 감소하였으며, 이에 따라 여러 이슈들이 나타나고 있다[2]. ITRS(international technology roadmap for semiconductor, 2011, Interconnects)[2]는 2017년 이후, 배선의 폭이 17 nm 수준으로 줄어들 것으로 예측하고 있으며, 새로운 물질과 공정의 개발, 배선의 신뢰성 및 전기 전도도의 향상, 3차원 구조의 배선 형성 방법 등 다양한 연구 개발이 필요함을 기술하였다. 또한, 배선의 폭이 감소함에 따라 수퍼필링을 통한 패턴의 결함 없는 채움(defect-free filling) 역시 어려움을 겪고 있기 때문에 수퍼필링 특성 향상에 관한 연구가 필요하다.

본 총설에서는 구리 전해 도금을 이용한 반도체 배선 형성 방법에 대해 소개하고, 전해 도금을 이용한 수퍼필링 현상을 전해질 내에 포함된 유기 첨가제의 역할을 바탕으로 고찰하고자 한다. 또한, 앞서 기술한 전기적 저항의 증가, 수퍼필링의 어려움 등의 문제점을 해결하기 위한 유기 첨가제의 개발 및 펄스(pulse)와 펄스-리버스(pulse-reverse) 전해 도금의 적용, 구리 기반 합금을 이용한 신뢰성의 향상, 직접 전해 도금을 이용한 배선 형성에 관한 연구를 소개하고자 한다.

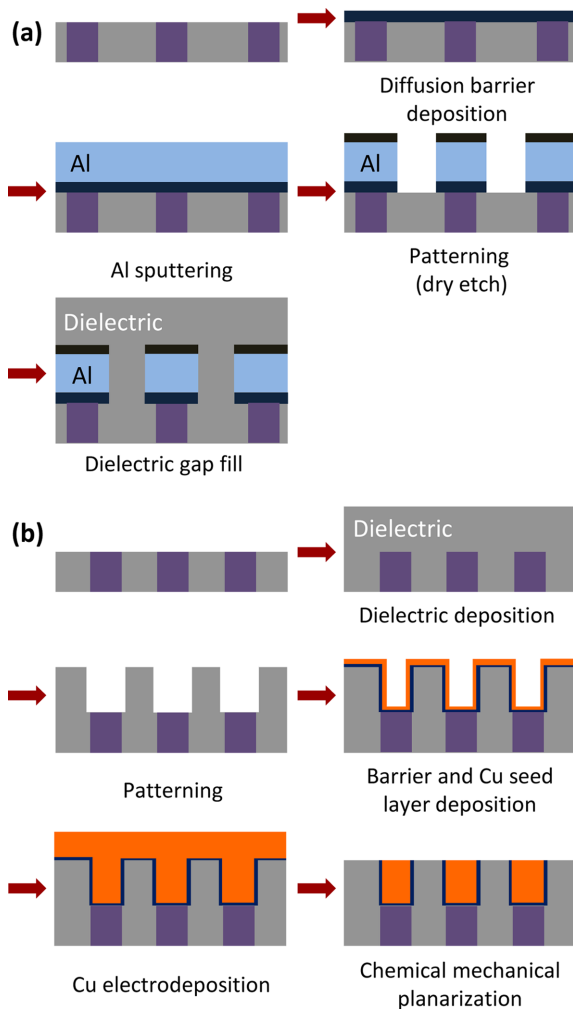


Fig. 1. The schematic diagrams of (a) subtractive etching process for Al interconnection and (b) single damascene process for Cu interconnection [6].

2. 구리 전해 도금을 이용한 반도체 배선 형성

2-1. 구리 전해 도금 및 유기 첨가제

전해 도금은 외부에서 공급한 전자를 이용하여 금속 혹은 금속 산화물을 전착하는 방법이다. 전해 도금 시스템은 일반적인 전기화학 시스템과 동일하게 전극, 전해질, 그리고 전자를 공급하는 전원으로 이루어져 있다. 구리 전해 도금을 위해서는 앞서 설명한 패턴이 형성되어 있는 웨이퍼를 작업 전극(working electrode)로 사용하고, 구리 전극 혹은 불용성 전극(insoluble anode)을 상대 전극(counter electrode)으로 사용한다. 작업 전극의 표면에서는 전해질에 포함된 구리 이온이 외부에서 공급한 전자를 받고 금속으로 환원되며, 상대 전극에서는 전극의 종류에 따라 다양한 산화 반응이 일어난다. 전해질은 기본적으로 구리 이온을 포함하고 있으며, 전해질 자체의 저항을 낮추기 위한 지지 전해질(supporting electrolyte)이 포함된다. 구리 전해 도금에 사용되는 대표적인 전해질은 Table 1에 정리되어 있으며, 황산구리(CuSO_4)와 황산(H_2SO_4)으로 구성되어 있는 전해질이 현재 가장 널리 사용되고 있다[9-11]. 시안화물(cyanide) 전해질의 경우, KCN은 지지 전해질의 역할뿐만 아니라 착화제(complexing agent)의 역할을 한다[12].

전해 도금은 우수한 물성을 가지는 구리를 트렌치 내부에 결함 없이 채우는 것이 가장 큰 목적이다. 이를 위해서는 전해질에 다양한 유기 첨가제(organic additive)의 첨가가 필수적이다. Fig. 2는 선형성된

Table 1. The Representative Electrolytes for Cu Electrodeposition

Electrolyte	Cu ion source	Supporting electrolyte
Sulfate	CuSO_4	H_2SO_4
Pyrophosphate	CuSO_4	$\text{K}_4\text{P}_2\text{O}_7$
MSA	CuSO_4	$\text{CH}_3\text{SO}_3\text{H}$
Cyanide	CuCN	KCN

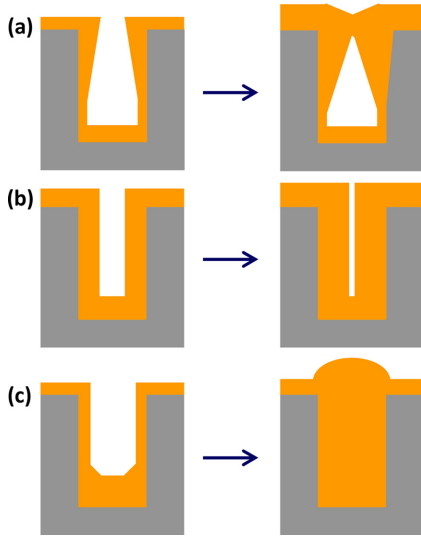


Fig. 2. (a) Subconformal, (b) conformal, and (c) superconformal profiles of Cu gap-filling [6].

트렌치에서 구리 전해 도금을 실시하였을 경우 대표적인 전착 형태를 보여주고 있다[6]. 비등각 형태(subconformal profile)는 구리 전착이 트렌치의 입구 부분에 집중되어 내부에 보이드(void)가 형성된 것을 말하며, 보이드는 배선의 신뢰성을 크게 떨어뜨린다. 이러한 형태는 전해 도금이 구리 이온의 물질 전달에 지해를 받을 경우 나타난다. 등각 형태(conformal profile)는 모든 곳에서 전착 속도가 동일할 경우 얻을 수 있으며, 트렌치의 옆면에서 자라나온 구리가 만나면서 심(seam)이 형성된다. 심의 형성 역시 보이드와 마찬가지로 배선의 신뢰성을 떨어뜨리는 결과를 가져온다. 초등각 형태(superconformal profile)는 수퍼필링이라고도 불리며, 트렌치 내부에 어떠한 결함도 존재하지 않으며, 트렌치의 입구 부분에 볼록한 형태(bump)를 형성하는 것이 특징이다. 이러한 형태는 유기 첨가제의 흡착과 표면 덮임율(surface coverage)을 적절히 조절함으로써, 선택적으로 트렌치의 바닥 면에서 전해 도금 속도를 증가시켜 얻을 수 있다.

구리 전해 도금에 사용되는 유기 첨가제는 전해 도금 속도에 미치는 영향을 기준으로 가속제(accelerator)와 감속제(suppressor)로 나눌 수 있다[13-17]. 일반적으로 가속제는 disulfide 결합(-S-S-) 혹은 mercapto기(-SH)를 포함한 유기물이며, 구리 전해 도금 속도를 높인다[18-22]. 구리 환원의 속도 결정 단계는 Cu^{2+} 이 Cu^+ 로 환원되는 과정이다. 가속제는 Cu^{2+} 에 전자를 공급하면서 착물(complex)을 이뤄 Cu^+ 를 형성하고, 전체 전해 도금 속도를 증가시킨다. 또한, 감속제와의 경쟁 흡착(competitive adsorption)을 통해 감속제의 흡착층 형성을 방해함으로써 구리 이온의 환원을 돕는다. 대표적인 가속제로는 SPS(bis(3-sulfopropyl) disulfide), MPSA(3-mercapto-1-propanesulfonic acid), 그리고 DPS(3-N,N-dimethylammonodithiocarbamoyl-1-propanesulfonic acid)가 있다. 반면, 감속제는 표면에 흡착함으로써 구리 이온의 접근을 방해하여 구리 전해 도금을 느리게 하며, PEG(polyethylene glycol)과 염소 이온(Cl^-)의 조합이 대표적이다[23-25]. 염소 이온이 구리 표면에 선택적으로 흡착하여 PEG의 추가적인 흡착을 도와 구리 이온과 전극 사이의 전하 전달 반응을 방해한다. 이외에 다양한 polyether 계열의 고분자 물질과 질소 원자를 포함한 작용기를 가지는 유기물이 사용되고

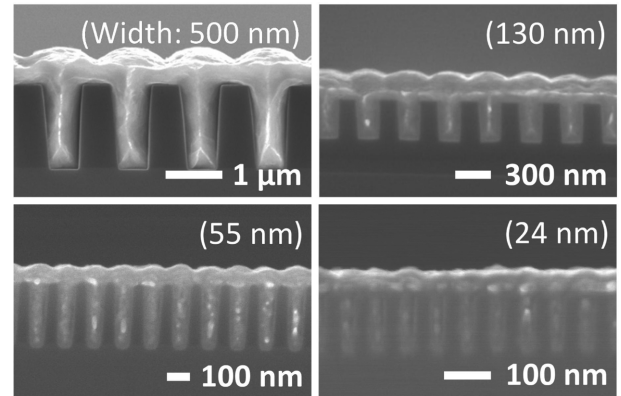


Fig. 3. The superfilling of Cu at various trenches [26].

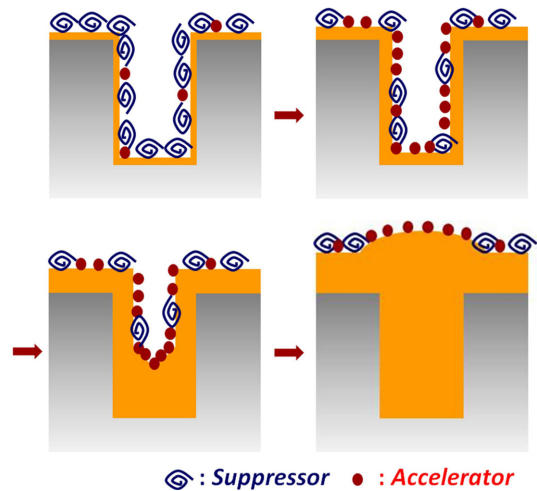


Fig. 4. The schematic diagram of superfilling mechanism with the changes in the surface coverage of adsorbates [6].

있다. 대표적으로 구리 수퍼필링은 PEG와 SPS의 조합을 이용한다. 다양한 크기의 트렌치에서 PEG와 SPS를 이용한 전해 도금 결과는 Fig. 3에 나타나 있으며, 트렌치 윗부분에서 수퍼필링의 증거인 bump를 확인할 수 있다[26].

2-2. 전해 도금을 이용한 구리 수퍼필링

구리 전해 도금을 이용한 수퍼필링은 CEAC(curvature enhanced accelerator coverage) 모델을 이용하여 설명이 가능하다[27-29]. 가속제와 감속제의 표면 덮임율 변화를 고려한 구리 수퍼필링의 메커니즘은 Fig. 4에 나타나 있다[6]. 전해 도금을 진행하기 위해 트렌치가 형성된 웨이퍼를 전해질에 담글 경우, 상대적으로 많은 양의 감속제가 선택적으로 흡착된다. 전해 도금이 시작되면 트렌치 전 면적에 걸쳐 구리가 환원되는 동시에 선택적으로 흡착된 감속제가 가속제로 치환된다[28,30,31]. 또한, 전해 도금의 결과로 트렌치의 바닥 모서리 부분에서 면적이 감소하여 가속제가 축적(accumulation)된다. 상대적으로 높아진 가속제의 표면 덮임율은 전해 도금을 바닥 모서리 부분에서 선택적으로 촉진시켜 바닥에서부터 구리가 차오르는 결과(bottom-up filling)를 가져온다. 수퍼필링이 완료된 이후, 축적된 가속제의 결과로 트렌치의 윗부분에 bump가 나타난다. 이러한 수퍼필링은 구리에 한정된 것이 아니라, 은(Ag)[32-34], 금(Au)[35-37], 니켈(Ni)[38,39]

등의 다양한 금속에 적용이 가능하다.

CEAC 모델은 구리 전해 도금을 이용하여 트렌치를 채우는 전착 형태 변화를 정확히 예측한다[27-29]. 이 모델은 가속제와 감속제의 표면 덮임을 변화시킬 때 경쟁 흡착과 면적 감소에 따른 가속제의 축적을 통해 해석한다. 시간에 따른 가속제의 표면 덮임을 변화는 다음의 식을 통해 나타낼 수 있다[29].

$$\frac{d\theta_{Acc}}{dt} = k_{ads}(1-\theta_{Acc})C_{Acc} - k_{inc}(\theta_{Acc})^q - v\kappa\theta_{Acc} + D\frac{\partial^2\theta_{Acc}}{\partial S^2} \quad (1)$$

θ_{Acc} 와 C_{Acc} 는 가속제의 표면 덮임율과 전해질 내 농도를 뜻하며, k_{ads} 와 k_{inc} 는 가속제의 흡착과 박막 내 incorporation의 속도 상수(rate constant)를 나타낸다. v , D , κ 는 각각 표면에 수직방향의 도금 속도, 가속제의 표면 확산계수(diffusivity), 그리고 표면 곡률(surface curvature)을 의미한다. 오른쪽의 첫 번째 항은 가속제의 흡착을 나타내며, 감속제와의 경쟁 흡착을 고려한 것이다. 두 번째 항은 표면에 흡착한 가속제가 구리 전해 도금 동안 박막 내 incorporation을 고려한 것이며, q 는 실험적으로 결정하는 값이다. 앞서 고려한 두 가지 요인은 구리 표면 전체에서 일어나는 것이기 때문에, 바닥 면에서 선택적으로 가속제가 축적되는 것과는 큰 관계가 없다. 세 번째 항은 면적 변화에 따른 가속제의 표면 덮임을 변화를 의미한다. 트렌치 바닥 면과 같이 표면 곡률이 음수인 경우, 도금이 진행됨에 따라 면적이 감소하게 되어 가속제가 축적된다. 마지막 항은 흡착한 가속제가 구리 표면(S)을 따라 확산하는 것을 고려한 것이다. 면적 감소에 따라 가속제가 축적되면 농도 차이에 의해 표면을 따라 확산하게 되어 가속제의 축적 정도를 낮추게 된다. 면적 감소에 따른 가속제의 축적과 표면 확산은 가속제의 표면 덮임을 변화에 상반된 영향을 미치기 때문에 수퍼필링 특성은 두 가지 인자에 의해 결정된다. 두 현상이 수퍼필링에 미치는 영향은 무차원수 $D/(wv_0)$ 를 이용하여 예측할 수 있다. w 는 트렌치의 폭을 나타내며, v_0 는 초기 가속제의 표면 덮임율에서의 전해 도금 속도이다. 상기 무차원수는 면적 감소에 따른 가속제의 축적과 표면 확산을 통한 가속제의 퍼짐을 상호 고려한 것이고, Fig. 5는 이에 따른 수퍼필링 형상의 예측 결과를 보여주고 있다[29]. 전해 도금 속도가 상대적으로 빠르거나 혹은 가속제의 표면 확산이 저해되어 바닥 면에서 가속제가 충분히 축적되는 경우, 즉 낮은 무차원수를 가지는 조건에서 성공적인 수퍼필링을 얻을 수 있음이 잘 나타나 있다. 반면, Fig. 5의 가장 오른쪽 예측 결과에 나타난 것처럼 가속제의 표면 확산이 면적 감소에 의한 가속제의 축적을 상쇄할 만큼 촉진되면 등각전착이 일어나 트렌치 내부에 심이 형성된다.

반도체 소자의 구리 배선은 상기 고찰한 다마신 공정과 구리 수퍼

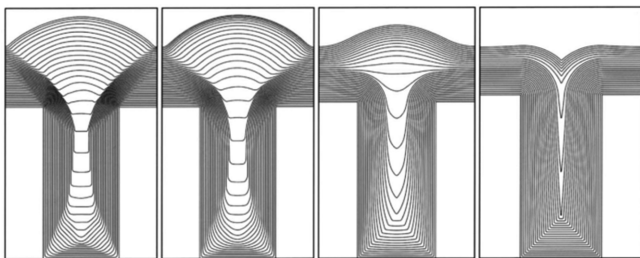


Fig. 5. The predictions of gap-filling profiles based on CEAC model with 0.01, 0.1, 1, and 10 of $D/(wv_0)$ values. Reprinted with permission from *J. Electrochem. Soc.*, 154, D208 (2007). Copyright 2007, The Electrochemical Society.

필링을 통해 형성한다. 다음 장에서는 배선의 크기 감소로 인해 현재 이슈가 되고 있는 문제점과 이를 해결하기 위한 다양한 연구를 소개하고자 한다.

3. 저저항 고신뢰성을 가지는 미세 배선의 형성

3-1. 저저항 구리 배선의 형성

전자 소자의 집적도를 높이기 위하여 구리 배선의 폭은 수십 nm 이하로 감소하였다. 그 결과, 구리 배선의 전기적 저항(resistivity)은 구리의 고유 비저항에 비해 크게 증가하여 전체 소자의 속도를 떨어뜨리는 결과를 가져왔다[40]. 금속의 비저항은 전자의 산란(scattering)에 의해 결정되며, 배선의 경우에는 결정립(grain) 크기와 구리 계면에서의 전자 산란에 크게 영향을 받는다[40]. 이를 해결하기 위해 결정성, 결정립 크기와 같은 구리의 미세 구조(microstructure)를 조절하는 연구가 활발히 진행되고 있으며, 대표적으로 새로운 유기 첨가제의 개발과 펄스 및 펄스-리벌스 전해 도금의 적용이 있다. 구리 배선을 형성한 이후, 비저항을 측정하기는 어렵기 때문에 패틴이 형성되어 있지 않은 평평한 웨이퍼 위에 구리를 전착하여 미세 구조를 조절하는 연구가 이루어지고 있다.

구리 박막의 비저항(resistivity, ρ_T)은 Matthiessen 식[41]으로 표현이 가능하며, 전자의 포논(phonon) 산란(ρ_{Phonon}), 결정립계(grain boundary)에서의 산란($\rho_{Grain\ boundary}$), 표면 거칠기(surface roughness)에 의한 산란($\rho_{Surface}$), 그리고 불순물(impurity)에 의한 산란($\rho_{Impurity}$)에 의해 결정된다[41-43].

$$\rho_T = \rho_{Phonon} + \rho_{Grain\ boundary} + \rho_{Surface} + \rho_{Impurity} \quad (2)$$

포논 산란은 물질과 온도의 함수이므로 구리 박막의 미세 구조에 따른 비저항 변화와는 크게 관련이 없다. 불순물은 전해 도금을 진행하는 동안 유기 첨가제의 박막 내 incorporation과 관계가 있다[44]. 수퍼필링에 사용되는 유기 첨가제는 0.02 wt% 수준의 불순물 농도를 나타내므로 비저항의 변화와 큰 관련이 없다[44]. 따라서 구리 박막의 전기적 저항을 낮추기 위해서는 결정립 크기와 표면 거칠기를 조절하는 것이 효과적이다.

결정립 크기에 따른 금속 박막의 비저항은 다음의 Mayadas-Shatzkes 모델[45,46]을 통해 설명이 가능하며, 결정립의 크기가 감소하면 결정립계에서의 전자 산란의 빈도가 높아져 저항이 증가하는 것을 나타내고 있다.

$$\frac{\rho_{Grain\ boundary}}{\rho_{Bulk}} = \left\{ 3 \left[\frac{1}{3} - \frac{\alpha}{2} + \alpha^2 - \alpha^3 \ln \left(1 + \frac{1}{\alpha} \right) \right] \right\}^{-1} \quad (3)$$

$$\alpha = \frac{\lambda R}{d(1-R)} \quad (4)$$

결정립 크기 변화에 따른 저항 증가 정도($\rho_{Grain\ boundary}$)는 전자의 평균 자유 행로(mean free path, λ), 평균 결정립 크기(d), 그리고 결정립계에서의 반사 계수(reflection coefficient, R)에 의해 결정된다. 상온에서 전자의 평균 자유 행로는 약 39 nm이므로 결정립 크기가 이 보다 작아지면 저항의 증가가 특히 심화된다. 상기 모델에서 결정립 크기는 평균값을 사용하며, 결정립계는 전자의 이동 경로와 수평과 수직 방향만이 존재함을 가정하였다[45,46].

금속의 비저항에 미치는 표면 거칠기의 영향은 금속 표면에서 전자의 산란에 의해 결정된다. 전자의 산란은 탄성 산란(elastic

scattering)과 완전 확산 산란(fully diffuse scattering)으로 나눌 수 있으며, 완벽한 탄성 산란이 일어나면 금속의 저항은 증가하지 않는다[47]. T. S. Kuan은 표면 거칠기와 산란 특성, 그리고 박막의 두께를 고려하여 박막의 거칠기에 따른 비저항의 변화를 다음의 식을 통해 나타내었다[47].

$$\frac{\rho_{Surface}}{\rho_{Bulk}} = 1 + 0.375(1-p) \frac{S_R \lambda}{t} \quad (5)$$

여기서 p 는 산란 인자(scattering parameter)를 나타내며 0과 1 사이의 값을 가진다. 1과 0은 각각 완벽한 탄성 산란과 완전 확산 산란을 뜻한다. S_R , λ , 그리고 t 는 각각 거칠기 인자(roughness factor), 전자의 평균 자유 행로, 그리고 박막의 두께를 의미한다. 표면 거칠기가 증가하거나 박막의 두께가 얇아지면 표면 거칠기에 의한 저항 증가 정도가 커짐을 알 수 있다.

상기 기술한 것과 같이, 구리 박막의 비저항은 결정립 크기와 표면 거칠기에 크게 영향을 받는다. 전해 도금을 통해 얻은 박막의 미세 구조는 전해질의 농도, 전기 이중층(electric double layer)의 구조, 인가 전류 밀도 혹은 전압, 전류 및 전압의 파형, 유기 첨가제, 그리고 결정립의 수평, 수직 방향 성장 속도 등의 영향을 받는다[48]. 이 중, 전류 밀도 혹은 전압, 그리고 유기 첨가제가 구리 박막의 특성을 결정짓는 가장 큰 요인이다. 수소 발생 반응과 같은 부반응을 동반하지 않는 경우에 한정하여, 높은 전류 밀도 혹은 전압의 인가는 작은

결정립과 낮은 표면 거칠기를 가지는 구리의 전착을 가능하게 한다. 유기 첨가제는 표면에 흡착을 하여 구리 adatom의 표면 확산을 막으며 핵생성(nucleation) 현상의 변화를 가져온다. 이러한 유기 첨가제의 흡착은 작용기(functional group) 및 고분자 계열 금속체의 분자량에 따라 변화하기 때문에 적절한 유기 첨가제의 선택을 통해 전착된 구리 박막의 결정립 크기 및 표면 거칠기를 조절할 수 있다.

현재 수퍼필링을 위해 사용되는 첨가제의 조합은 SPS와 PEG로 구성되어 있다. SPS의 대체 가속제인 DPS의 적용을 통해 낮은 비저항을 가지는 구리 박막의 전착이 가능하다고 보고된 바 있다[49]. DPS는 SPS와 마찬가지로 수퍼필링의 관점에서 가속제의 역할을 수행할 뿐만 아니라 분자 내에 포함된 질소 원자의 영향으로 평탄화(leveling) 작용을 한다[49,50]. DPS와 SPS의 농도 및 박막 두께에 따른 구리 박막 비저항의 변화는 Fig. 6에 나타나 있다[50]. DPS를 적용할 경우 SPS에 비해 10% 정도 낮은 비저항을 가지는 구리 박막을 전착할 수 있으며 이러한 장점은 얇은 두께에서 두드러지는 것을 알 수 있다. DPS는 SPS와 비슷한 크기의 결정립을 형성하지만 박막의 거칠기를 줄이는 효과가 있다. 상기 소개한 식 (6)에 따라 표면 거칠기에 의한 저항 증가가 줄어들었기 때문에 낮은 비저항을 가지는 구리 박막을 얻을 수 있었다. 또한 PEG의 경우, 분자량에 따라 전착된 구리 박막의 결정성, 결정립 크기 및 표면 거칠기를 조절할 수 있다고 보고된 바 있다[51]. 높은 분자량의 PEG는 낮은 분자량에 비해 구리 표면에 강하게 흡착하여 결정립 크기와 표면 거칠기를 줄일 수 있다. 이와 같이, 유기 첨가제의 조절은 결정립 크기와 표면 거칠기에 영향을 미치며 구리의 전기적 특성을 조절할 수 있기 때문에 새로운 유기 첨가제의 개발은 저저항 금속 배선 형성에 필수적이다.

전류 혹은 전압의 파형을 조절하는 펄스 및 펄스-리버스 전해 도금의 적용 역시 구리 박막의 저항을 낮출 가능성이 있다[6,52-54]. 펄스와 펄스-리버스 전해 도금의 인가 파형은 Fig. 7에 나타나 있다. Fig. 7(a)와 같이 펄스 전해 도금은 온타임(on-time, t_{on})과 오프타임(off-time, t_{off})로 구성되어 있다[52]. t_{on} 동안 전류 혹은 전압의 인가

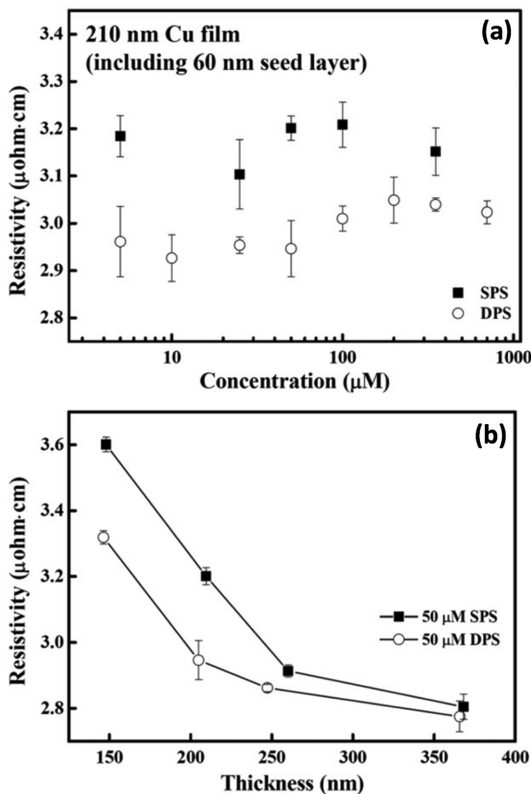


Fig. 6. The electrical resistivity of Cu films according to (a) concentrations of SPS and DPS and (b) film thickness. Reprinted from *Thin Solid Films*, 520, S. K. Cho, M. J. Kim, H.-C. Koo, O. J. Kwon, and J. J. Kim, Low-resistivity Cu film electrodeposited with 3-N,N-dimethylaminodithiocarbamoyl-1-propane-sulfonate for the application to the interconnection of electronic devices, 2136-2141. Copyright 2012, with permission from Elsevier.

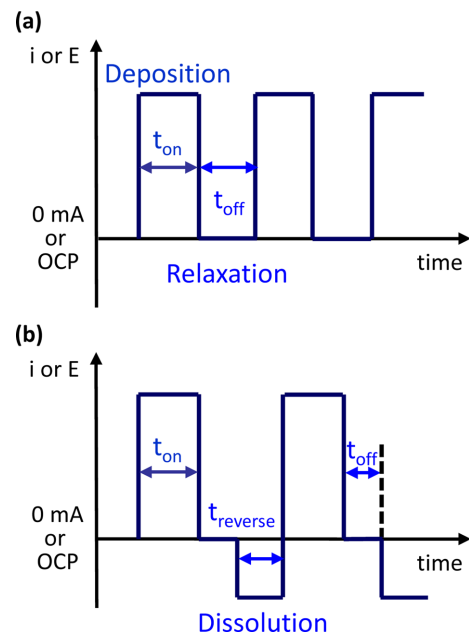


Fig. 7. The representative waveforms of (a) pulse electrodeposition and (b) pulse-reverse electrodeposition.

로 구리가 환원되고, t_{off} 동안 구리의 전착이 중지된다. t_{off} 동안 구리 이온의 확산이 일어나기 때문에 정전류(direct current, DC)에 비해 높은 전류를 인가할 수 있으며, 정전압 전해 도금(constant potential electrodeposition, CPD)에 비해 동일한 전압에서 높은 전류가 흐른다. 또한 오프타임 동안 구리 박막이 결정립계 에너지(grain boundary energy)와 결정성에 의한 표면 에너지(surface energy)를 줄이는 방향의 변화가 일어날 가능성이 있다[52]. 펄스-리벌스 전해 도금은 Fig. 7(b)에 나와있듯이 펄스 전해 도금과 같이 구리의 전착이 일어나는 t_{on} 과 반대로 용해가 일어나는 리벌스 스텝(reverse step)으로 구성되어 있으며, 오프타임이 때때로 추가되기도 한다[53,54]. 펄스-리벌스 전해 도금 역시 앞서 언급한 두 가지 에너지를 줄이기 위해 리벌스 타임 동안 선택적 용해(selective dissolution)가 일어날 수 있다[53,54].

Fig. 8(a)는 펄스 전해 도금의 온타임과 오프타임 길이에 따른 260 nm 두께를 가지는 구리 박막의 비저항 변화를 나타내고 있다[52]. 오프타임이 길어지고 온타임이 짧아짐에 따라 비저항이 감소하는 것을 알 수 있다. 펄스 전해 도금의 최적 조건에서 정전압 도금 대비 30% 낮은 비저항을 가지는 박막을 얻을 수 있었다. 연구 결과에 따르면 오프 타임의 길이에 따라 표면 거칠기는 비슷한 수준을 유지하지만, 결정립 크기가 커지는 것으로 밝혀졌다. Fig. 8(b)는 각각 정전압 도금, 0.3초와 1.0초의 오프타임을 가지는 펄스 전해 도금을 이용하여 전착한 구리 박막의 분석 결과를 나타내고 있다. 평균 결정립의 크기가 54.0 nm, 63.0 nm, 그리고 72.9 nm로 증가하고 이는 비저항의 감소 경향과 일치한다[52]. 오프타임 동안 구리의 산화 환원반응은 동적

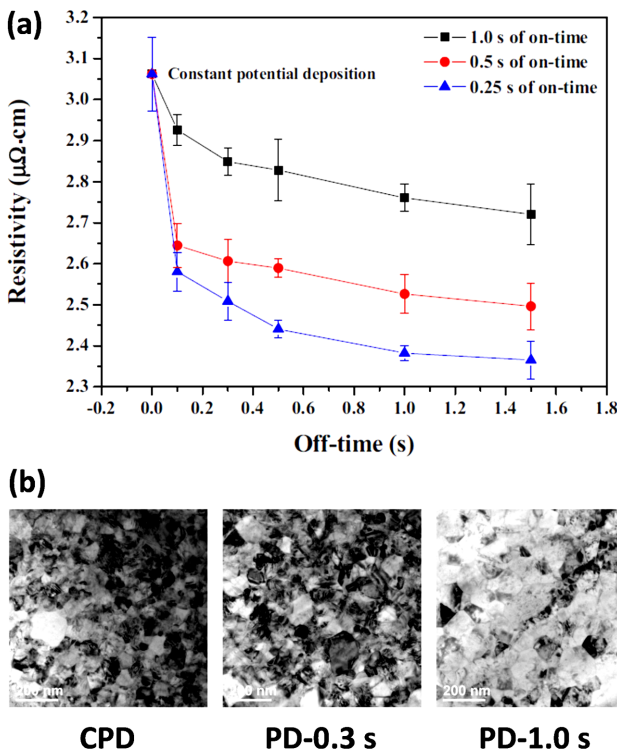


Fig. 8. (a) The electrical resistivity of Cu films according to the off-time in pulse electrodeposition and (b) TEM images of Cu films deposited by constant potential deposition (CPD) and pulse electrodeposition (PD) with 0.3 and 1.0 s of off-time. Reprinted with permission from *J. Electrochem. Soc.*, 157, D564 (2010). Copyright 2010, The Electrochemical Society.

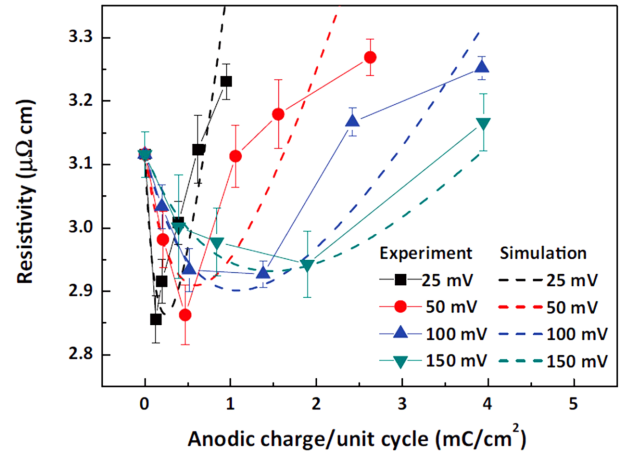


Fig. 9. The electrical resistivity of Cu films deposited by potentiostatic pulse-reverse electrodeposition with varying the anodic potential and charge. Reprinted with permission from *J. Electrochem. Soc.*, 159, D538 (2012). Copyright 2012, The Electrochemical Society.

평형(dynamic equilibrium) 상태이기 때문에 전류는 흐르지 않지만, 실제 표면에서는 동일한 양의 전착과 용해가 일어나고 있다. 이러한 과정이 박막의 전체 에너지를 낮추기 위해 상대적으로 큰 결정립의 성장과 작은 결정립의 용해로 이어져 평균 결정립 크기를 증가시킨다.

펄스-리벌스 전해 도금의 양극 전압(anodic potential)과 리벌스 스텝의 단위 사이클 당 용해량(anodic charge/unit cycle)에 따른 150 nm 구리 박막의 비저항 변화가 Fig. 9에 나타나 있다[53]. 최적 단위 사이클 당 용해량에서 최저의 비저항을 관찰하였으며, 앞서 확인한 펄스 전해 도금의 최적 조건 대비 약 9% 낮은 비저항을 얻을 수 있었다[52-54]. 리벌스 스텝의 용해량이 증가함에 따라 평균 결정립의 크기와 표면 거칠기가 동시에 증가하는 것을 확인하였다. 이는 리벌스 스텝 동안 선택적 용해(selective dissolution)에 기인한 결과이다[53,54]. 비저항 측면에서 결정립 크기와 표면 거칠기의 증가는 상기 제시된 식 (2), (3), (5)에 설명한 것처럼 상반된 영향을 가진다. 결정립 크기 증가는 결정립계에서 전자 산란의 가능성을 줄여 비저항을 감소시키는 반면, 표면 거칠기의 증가는 전자의 표면 산란의 가능성을 높여 비저항을 증가시킨다. 두 가지 요인의 경쟁으로 인해 최저의 비저항 값이 나타나는 것이다. 제시된 식을 이용하여 펄스-리벌스 전해 도금의 변수에 따른 비저항 변화를 결정립과 표면 거칠기의 영향을 고려하여 정확히 예측하였고 이는 Fig. 9에 나타나 있다.

3-2. 고신뢰성을 가지는 구리 합금 배선

전기적 특성 저하뿐만 아니라 구리 배선의 신뢰성 역시 이슈가 되고 있다. 구리 배선의 신뢰성은 실제 소자 구동 시 일어나는 electromigration 현상과 관계가 깊다[55-59]. Electromigration 현상은 전자의 이동과 동일한 방향으로 구리 원자가 이동하게 되는 것을 말하며, 심한 경우 배선 내부에 보이드가 형성된다. 구리 배선의 수명 분포의 평균 값(mean time to failure, MTF)은 다음의 Black 식으로 표현이 가능하다[59].

$$\text{MTTF} = A_j^{-n} \exp\left(\frac{A}{k_B T}\right) \quad (6)$$

A와 j는 고유 상수와 전류 밀도를 나타내며 k_B 와 T는 각각 볼츠만

Table 2. The Electrical Resistivity of Cu and Various Cu-based Films Deposited by e-Beam Evaporation [60]

Films	As-deposited ($\mu\Omega\cdot\text{cm}$)	Annealed at 400 °C for 5 hrs ($\mu\Omega\cdot\text{cm}$)
Cu	2.3	2.0
Cu-3.0Ti	22.5	3.9
Cu-2.3Sn	8.6	6.4
Cu-4.0Mg	5.7	3.4
Cu-2.8Co	10.3	6.4
Cu-3.0Ag	4.2	2.4

상수(Boltzmann constant)와 배선의 온도를 뜻한다. 그리고 n 은 모델 상수(model parameter)를 의미한다. 배선의 단면적 감소는 소자 구동 시 흐르는 전류 밀도의 증가로 이어지며, 이는 배선의 온도를 높게 만든다[2]. 전류 밀도의 감소와 배선의 온도 증가는 배선의 수명을 급격히 줄이게 된다. 앞서 언급한 새로운 유기 첨가제의 개발과 펄스 혹은 펄스-리벌스 전해 도금을 이용한 구리의 미세 구조 조절을 통하여 신뢰성의 향상이 가능하다. 뿐만 아니라, 구리 합금 배선을 형성할 경우 구리에 비해 신뢰성이 크게 증가할 것으로 예상되고 있다[60-65].

구리 합금 배선은 순수한 구리에 비해 기계적 강도가 강하며 electromigration에 대한 저항성이 우수한 장점이 있다[60-65]. 하지만, 합금에 포함된 금속에 의해 배선 전체의 저항이 증가하여 소자 속도가 느려지는 단점이 있다. 전자빔 증착법(e-beam evaporation)을 이용하여 형성한 구리 기반 합금 박막의 전기적 저항이 Table 2에 나타나 있다[60]. 순수한 구리에 비해 구리 합금 박막은 상대적으로 높은 전기적 저항을 나타내고 있으며, 열처리 이후에도 높은 비저항을 가지는 것으로 보고 되었다[60]. 이와 같이 높은 비저항은 합금 형성 시 합금을 형성하는 물질의 영향으로 결정립 성장이 억제되고 불순물과 같은 역할을 하여 전자 산란의 가능성이 증가하기 때문이다[65]. 구리 기반 합금 중, 구리-은(Cu-Ag) 합금은 순수한 구리에 비해 전기적 저항의 차이가 크지 않으며 electromigration 저항을 크게 향상시킬 가능성이 있다[65-67]. 하지만 구리-은 합금을 형성하기 위

한 전해 도금 및 수퍼필링 방법은 연구가 미비한 실정이다.

최근, 시안화 기반의 전해질을 이용하면 전해 도금을 이용하여 다양한 조성을 가지는 구리-은 합금을 성공적으로 전착할 수 있으며, 구리-은 수퍼필링의 가능성을 보고한 바 있다[66,67]. KSeCN을 가속제로 사용하였으며, 셀레늄(Se) 촉매의 표면 확산을 줄이기 위해 thiourea를 전해질에 첨가하였다. Fig. 10은 성공적인 구리-은 수퍼필링 결과를 보여주고 있으며, 트렌치 내부에 어떠한 결함도 없는 것을 확인할 수 있다[67]. 순수한 구리의 수퍼필링과 달리 구리-은의 경우에는 첨가제의 역할이 구리와 은의 환원에 각기 다른 영향을 나타내기 때문에 각 첨가제의 환원 반응 별 효과를 고려하였다. 셀레늄 가속제는 은의 환원을 촉진시키지만 구리의 경우에는 어떠한 영향도 미치지 않음을 관찰하였다. 또한, 트렌치 내부에서 구리와 은 원자의 분포를 분석함으로써 구리-은 수퍼필링의 메커니즘을 밝혔다. 분석 결과를 바탕으로 구리-은 합금 수퍼필링은 셀레늄 가속제의 촉적이 트렌치의 바닥면에서 일어나 은의 환원을 촉진하는 것에 기인한 결과임을 밝혔다[67]. 이는 합금을 구성하는 모든 금속에 유기 첨가제의 동일한 가속 효과가 필요하지 않으며, 선택적인 가속 영향만으로도 합금 수퍼필링이 가능하다는 것을 시사한다[67]. 이러한 합금 수퍼필링 기술은 다기능 금속 합금의 나노 구조 형성에 적용될 가능성이 높다.

전해 도금을 통해 형성한 구리, 구리-은 합금, 그리고 은 박막의 전기적 특성, 산화 저항성 및 기계적 강도는 Fig. 11에 나타나 있다[67]. 구리-은 합금의 은 함량은 7.9 atom%이며, 순수한 구리와 은, 그리고 구리와 은의 고용체(solid solution)로 이루어진 것으로 확인하였다[67]. Fig. 11(a)를 보면 구리-은 합금의 전기 전도도가 구리와 은에 비해 상대적으로 낮은 것을 알 수 있다. 하지만 350 °C에서 30분 간 질소 분위기에서 열처리를 한 결과, 순수한 구리와 비슷한 전기 전도도를 가짐을 확인하였다. 이는 구리 기반 합금의 가장 큰 단점으로 지적된 전기 전도도의 감소가 구리-은 합금에서는 큰 문제가 되지 않음을 의미한다. 열처리 이후, 구리와 구리-은 합금 박막의 비저항이 비슷한 이유는 열처리 과정 중 구리-은 고용체가 모두 편석(segregation)되어, 전자의 산란에 미치는 영향이 감소하였기 때문이다[67]. 따라서 구리-은 합금 배선은 순수한 구리와 비교하여 비슷한 전기 전도도를 가지는 동시에 상대적으로 우수한 electromigration 저항을 가지는 것으로 생각된다[62-65,67]. 이러한 장점뿐만 아니라, 구리-은 합금은 Fig. 11(b)에 나와있듯이 순수한 구리에 비해 훨씬 우수한 산화 저항성을 가진다. 250 °C 공기 중에서 열처리를 진행한 결과 구리는 표면의 산화가 심해 저항이 증가하지만 구리-은 박막은 열처리 후에도 산화 저항성이 높아 저항 증가가 심하지 않은 것으로 나타났다. 또한, 기계적 강도 역시 구리-은 합금이 순수한 구리에 비해 강하다는 결과가 Fig. 11(c)에 나타나 있다.

상기 기술한 것과 같이 구리-은 합금 배선은 고신뢰성 미세 배선을 형성하는 데 큰 장점이 있을 것으로 예상된다. 하지만 현재 구리-은 합금 배선 기술은 시안화 전해질을 사용하였기 때문에 환경적인 문제가 남아있다. 최근, 황산 구리 전해질에서 펄스 전해 도금을 이용한 구리-은 합금 형성 기술이 발표된 바 있다[68]. 일반적으로 구리 수퍼필링을 얻기 위해서는 황산 전해질 내에 염소 이온의 첨가가 필수적이다. 하지만, 전해질 내에 염소 이온과 은 이온이 동시에 존재하면 염화은(AgCl) 침전물이 자발적으로 형성되어 박막 전착 및 배선 형성 공정의 신뢰도를 떨어뜨린다. 또한 전해질 내 염소 이온의 감소는 가속제와 감속제의 영향 및 수퍼필링 특성을 저하시킬 것으로 예상된다. 이는 황산 구리 전해질을 사용하여 구리-은 배선을 형

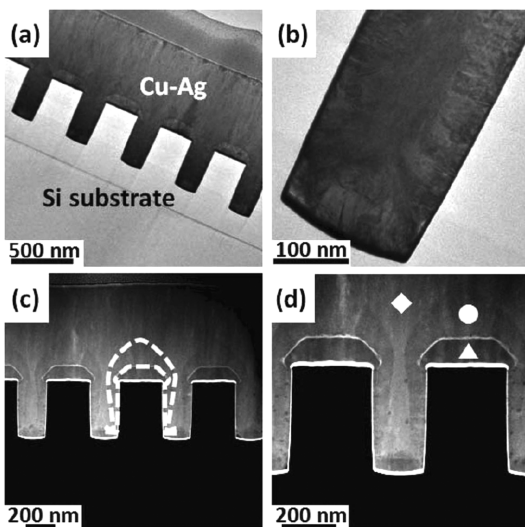


Fig. 10. TEM images of superfilled Cu-Ag by electrodeposition. Reprinted with permission from *J. Electrochem. Soc.*, 160, D3126 (2013). Copyright 2013, The Electrochemical Society.

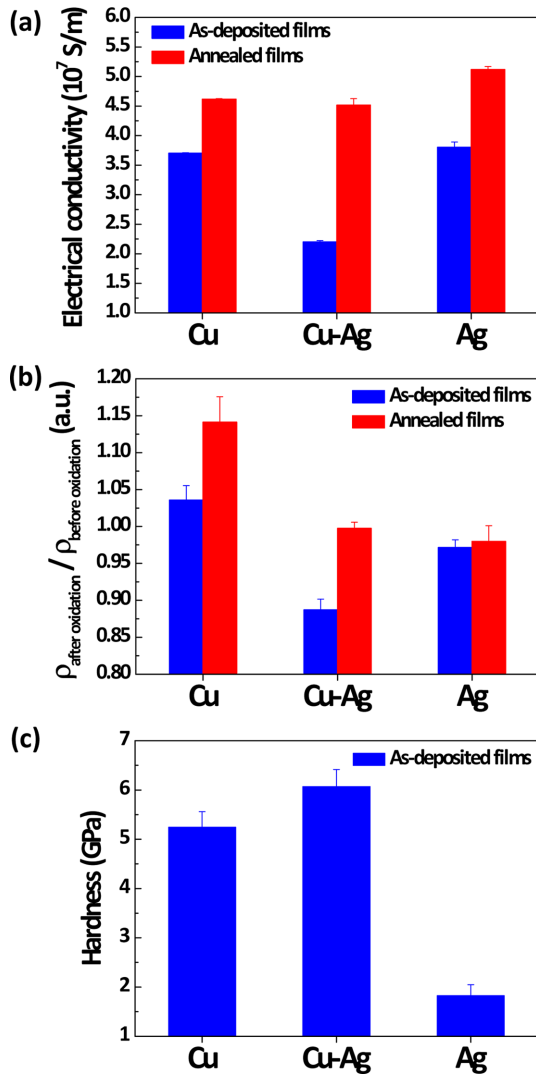


Fig. 11. (a) Electrical conductivity, (b) sheet resistance change before and after the oxidation, and (c) mechanical hardness of Cu, Cu-Ag, and Ag films deposited under superfilling condition. Reprinted with permission from *J. Electrochem. Soc.*, 160, D3126 (2013). Copyright 2013, The Electrochemical Society.

성하려면 염소 이온의 유무에 영향을 받지 않는 새로운 유기 첨가제의 개발이 필요함을 의미한다. 그리고 상기 기술된 펄스 전해 도금 방법을 이용하여 구리-은 합금을 형성할 경우, 은의 최대 함유량이 1 wt% 수준으로 낮은 편이다[68]. 따라서 친환경적 구리-은 합금 전해 도금 기술의 연구가 필요하며, 이를 바탕으로 전기적 특성이 우수하면서 신뢰성이 향상된 전자 소자용 금속 배선을 형성할 수 있을 것으로 예상된다.

3-3. 수퍼필링 특성의 향상 및 직접 전해 도금을 이용한 구리 배선의 형성

상기 기술한 구리의 전기적 특성과 신뢰성 저하뿐만 아니라 구리 배선 형성의 핵심 기술인 수퍼필링 공정 역시 여러 가지 어려움에 직면해 있다. 배선의 크기가 작아지고, 확산 방지막과 구리 씨앗층의 적층 구조의 사용은 트렌치나 비아의 입구를 좁히게 되었다. 그 결과, 수퍼필링이 완료 되기 이전에 입구 부분이 막혀 패턴 내부에 결

함 형성의 가능성이 증가하였다. 또한, 수퍼필링 공정 시간도 20초 이내로 줄어들면서 유기 첨가제의 영향이 나타나지 않아 결함 발생 빈도가 증가하고 있다. 보이드를 포함한 배선 내부의 결함은 소자의 신뢰성 및 전기적 특성을 저해하는 요인이므로 수퍼필링 특성을 향상하는 연구가 필요하다. 뿐만 아니라, 물리 기상 증착법(physical vapor deposition, PVD)을 통해 형성한 구리 씨앗층의 불연속성(discontinuity)에 의해 바닥 모서리 부분에서 큰 보이드가 형성되는 문제점이 관찰되었다[69]. 이러한 문제점을 해결하기 위한 유기 첨가제 개발, 펄스-리벌스 전해 도금, 씨앗층 수리 공정(seed repairing process), 그리고 직접 전해 도금을 이용한 수퍼필링에 대한 연구 결과를 소개하고자 한다.

CEAC 모델을 기반으로 한 수퍼필링의 특성은 유기 첨가제의 역할에 의해 결정된다[27-29]. 앞서 언급한 것과 마찬가지로 수퍼필링 특성 향상을 위한 유기 첨가제 연구는 저저항 고신뢰성 배선을 형성하는 데 있어 중요한 부분이다. 이전의 연구에서 가속제인 SPS를 대체하는 첨가제로 DPS가 발표된 바 있다[49]. DPS는 낮은 농도 범위에서는 SPS와 같이 가속제의 역할을 하여 수퍼필링을 용이하게 하고, 높은 농도에서는 가속 효과가 사라져 평탄화 현상을 나타낸다[49]. 감속제의 경우, 다양한 고분자 물질을 이용하여 수퍼필링 특성을 향상시키고자 하였다[70]. Fig. 12는 세 가지 고분자 첨가제를 이용하여 100 nm 폭을 가지는 트렌치의 수퍼필링 결과를 나타내고 있다[70]. PEG와 PPG(polypropylene glycol)에 비해 EPE(ethylene-propylene-ethylene block copolymer)를 사용한 경우에 향상된 수퍼필링 특성을 관찰하였다. 이는 EPE가 트렌치의 입구 부분에 강한 흡착을 통해 전착을 효과적으로 억제하여 바닥에서의 구리 환원을 상대적으로 용이하게 만든 결과이다. 수퍼필링 특성은 가속제와 감속제의 경쟁 흡착과 감속제의 구리 환원에 대한 억제 능력에 의해 결정된다고 판단된다. 따라서 성공적인 미세 배선을 형성하기 위해서는 적절한 유기 첨가제의 개발이 필요하며 작용기의 변화를 통해 적절한 흡착 거동을 구현하여야 한다.

유기 첨가제의 변화와 마찬가지로 첨가제의 표면 덮임율 조절을

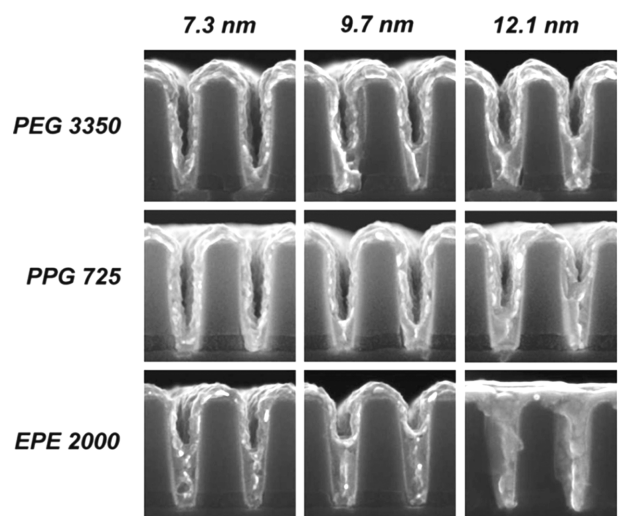


Fig. 12. The evolution of deposition profiles with polyethylene glycol (PEG), polypropylene glycol (PPG), and ethylene-propylene-ethylene block copolymer. Reprinted with permission from *J. Electrochem. Soc.*, 156, D287 (2009). Copyright 2009, The Electrochemical Society.

통해서도 수퍼필링 특성의 향상을 가져올 수 있다. T. P. Moffat은 수퍼필링 현상은 가속제의 임계 표면 덮임율(critical surface coverage) 이상에서 얻을 수 있다고 보고하였으며, 그 이하에서는 등각 전착이 일어남을 제시하였다[71]. 즉, 낮은 농도의 가속제가 구리 표면에 흡착한 경우에는 표면 확산을 포함한 다른 요인에 의해 면적 감소에 따른 가속제의 축적 영향이 사라진다. 특히, 전해 도금 초기에는 가속제의 표면 덮임율이 낮기 때문에 이러한 현상이 심화되며, 효과적인 수퍼필링이 일어나기까지 incubation 구간이 필요하다. 수퍼필링 공정 시간이 20초 이내로 줄어들었기 때문에 초기에 상대적으로 높은 가속제의 표면 덮임율을 얻는 것이 수퍼필링 특성 향상에 중요하다. 초기 가속제의 표면 덮임율은 펄스-리벌스 전해 도금을 통해 높일 수 있으며 이는 미세 배선의 수퍼필링 특성 향상을 가져온다[72,73]. Fig. 13은 정전압과 펄스-리벌스 전해 도금을 이용하여 55 nm의 폭을 가지는 트랜치에서 수퍼필링을 시행한 결과이다[73]. 동일한 전착량에서 펄스-리벌스 전해 도금이 더욱 선택적으로 바닥에서 구리 전착을 촉진하였음을 알 수 있다. 도금 초기에는 감속제의 흡착이 빨라 구리 표면이 대부분 감속제로 덮여 있다. 펄스-리벌스 전해 도금은 리벌스 스텝 동안 구리를 용해하여 리프트 오프(lift-off)를 통해 감속제의 탈착을 야기하여 가속제의 표면 덮임율을 빠르게 증가시킨다[72]. 이는 Fig. 13에서 확인한 것과 같이, 초기 등각 전착이 일어나는 incubation 구간을 줄여 수퍼필링 특성을 향상시킨다[73]. 수퍼필링의 관점에서 미세 배선의 형성에는 펄스-리벌스 전해 도금이 유리한 것으로 판단된다. 지속적인 수퍼필링 특성 향상을 위해 펄스-리벌

스 전해 도금에 대한 심도 있는 이해와 각 변수에 따른 유기 첨가제의 흡착 변화 및 정확한 모델링에 관한 연구가 필요하다.

소자의 폭 감소는 구리 전해 도금 이전 공정인 확산 방지막과 구리 씨앗층 형성에도 문제를 야기 하고 있다. 앞서 언급한 것처럼, 불연속적인 구리 씨앗층이 형성되어 전해 도금 시 보이드가 형성될 가능성이 증가하고 있다[69,74-77]. 또한, 씨앗층의 두께가 수 nm 이하로 감소하여 황산구리-황산 전해질에 담글 경우, 구리의 용해가 일어나 씨앗층이 연속성이 떨어 지기도 한다. 따라서 구리 씨앗층에 존재하는 결함을 제거하여 수퍼필링을 용이하게 하는 구리 씨앗층 수리 공정이 필요하다[76,77]. 씨앗층의 수리는 크게 무전해 도금(electroless deposition)과 전해 도금을 이용한다. 씨앗층 수리는 드러나 있는 확산 방지막 위에서 구리를 형성하여 씨앗층의 연속성을 증가시키는 것이 중요하다. 무전해 도금은 물리 기상 증착법과 같이 전해 도금을 위한 구리 씨앗층을 형성하는 방법 중 하나이다[78,79]. 주석-팔라듐(Sn-Pd) 활성화(activation) 과정을 이용하여 확산 방지막 위에 직접 구리 씨앗층을 형성하는데, 불연속적인 씨앗층으로 인해 드러나 있는 확산 방지막 위에서도 같은 방법으로 구리 무전해 도금을 시행하면 확산 방지막 위에서 구리가 전착되어 씨앗층의 연속성이 회복될 수 있다. Fig. 14(a)와 (b)는 물리 기상 증착법을 통해 형성한 씨앗층과 산성 전해질에서 손상을 입은 표면을 나타내고 있다[76]. 산성 용액에 의해 씨앗층의 표면이 매우 거칠어지며, 균일성이 떨어진 것을 알 수 있다. 손상을 입은 구리 씨앗층에 전해 도금을 진행할 경우, Fig. 14(c)와 같이 트랜치 내부에 보이드가 형성된 것을 알 수 있다. 손상을 받은 씨앗층을 무전해 도금을 통해 수리한 후, 구리 전해 도금을 진행한 결과는 Fig. 14(d)에 나타나 있으며, 성공적으로 수퍼필링이 일어났음을 알 수 있다[76].

전해 도금을 이용한 씨앗층의 수리는 일반적으로 사용하는 산성 전해질에서는 진행할 수 없다. 확산 방지막 위에서 구리의 핵생성을 일으키기 위해서는 큰 과전압(overpotential)이 필요한데, 산성 전해질에서 높은 전압을 인가하면 수소 발생 반응이 심하게 일어나 씨앗층에 심각한 결함을 형성하기 때문이다. 반면, 전압 인가 범위가 상

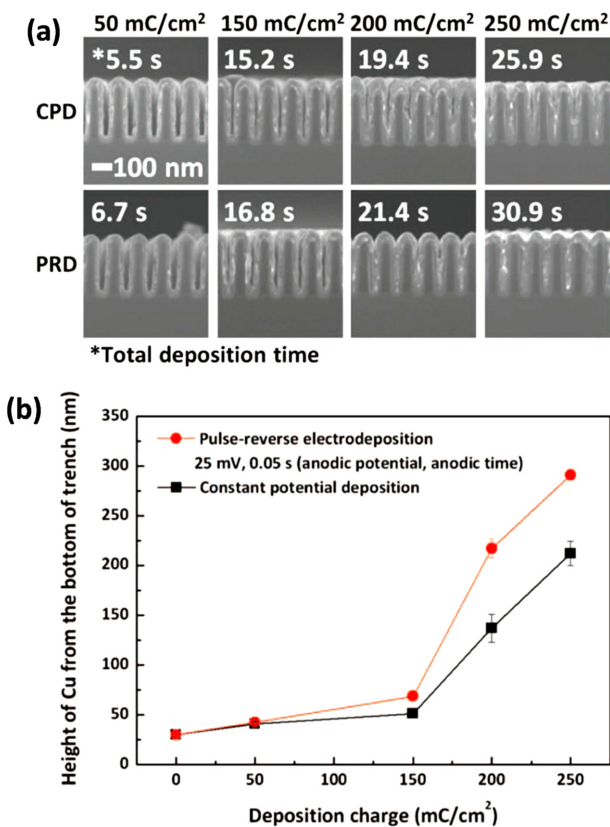


Fig. 13. (a) The evolution of deposition profiles obtained by constant potential deposition (CPD) and pulse-reverse deposition (PRD) and (b) the height of Cu deposit from the bottom of trench. Reprinted with permission from *J. Electrochem. Soc.*, 160, D3088 (2013). Copyright 2013, The Electrochemical Society.

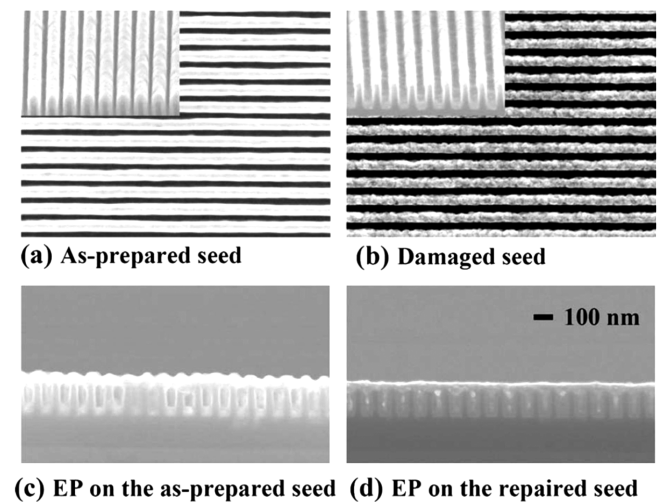


Fig. 14. (a) As-prepared seed layer by physical vapor deposition and (b) damaged seed layer by dipping into the acidic electrolyte, and the gap-filling profiles on (c) damaged and (d) electrolessly repaired seed layers. Reprinted with permission from *J. Electrochem. Soc.*, 157, D187 (2010). Copyright 2010, The Electrochemical Society.

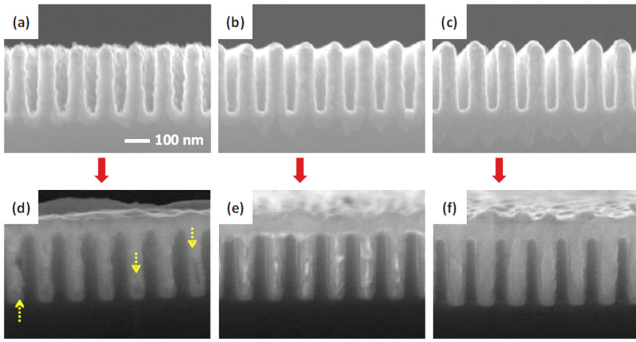


Fig. 15. The cross-sectional images of (a) damaged, (b) one-step repaired, and (c) two-step repaired seed layers, and (d), (e), (f) the gap-filling profiles on these seed layers; the seed layer repairing was performed in pyrophosphate based electrolyte by electrodeposition. Reprinted with permission from *J. Electrochem. Soc.*, 160, D202 (2013). Copyright 2013, The Electrochemical Society.

대적으로 넓은 염기성 피로인산 기반의 전해질을 이용할 경우, 확산 방지막 위에서 구리의 핵 생성을 촉진할 수 있다[77]. Fig. 15는 피로인산 기반의 전해질에서 씨앗층 수리와 수퍼필링 결과이다. 씨앗층의 수리 없이는 보이드가 형성된다는 사실을 확인할 수 있다. 전해 도금을 이용한 씨앗층의 수리는 정전압(Figs. 15(b))과 스텝 전압(Figs. 15(c))을 인가하여 얻을 수 있다. 스텝 전압은 초기 구리의 핵 생성 밀도를 증가시키는 핵생성 스텝(nucleation step)과 형성된 핵을 성공적으로 자라게 하는 성장 스텝(growth step)으로 이루어져 있다. 확산 방지막 위에서 핵생성 밀도는 과전압의 크기가 커지면 증가하는 것으로 알려져 있지만, 구리의 성장 측면에서 단점이 존재한다. 따라서 스텝 전압 전해 도금을 이용한 씨앗층 수리는 씨앗층의 균일성을 향상시킬 뿐만 아니라 우수한 구리를 전착할 수 있다. 이러한 수리 공정은 씨앗층의 두께가 얇아질 수록 그 적용 가능성이 늘어날 것으로 판단된다. 물리 기상 증착법을 이용하여 5 nm 이하의 씨앗층을 형성할 경우 중횡비(aspect ratio)가 큰 트렌치나 비아의 바닥 면에서 씨앗층의 결함이 형성될 가능성이 증가하기 때문이다.

마지막으로, 확산 방지막 위에서 직접 전해 도금을 이용한 수퍼필링에 대해 소개하고자 한다. 현재, 전자 소자의 배선 형성을 위해서는 확산 방지막과 구리 씨앗층의 적층 구조를 사용한다. 소자의 폭이 감소함에 따라 구리 수퍼필링을 위한 입구를 확보하는 것이 중요하다. 따라서 위의 두 가지 역할을 하는 단일 층을 개발하고 수퍼필링을 적용하는 연구가 활발히 진행되고 있다[80-80]. 루테늄(Ru)[80-82,85-87], 오스뮴(Os)[83], 이리듐(Ir)[84], 그리고 코발트(Co)[88] 등 다양한 물질의 확산 방지막 특성 및 수퍼필링 적용 가능성에 대한 연구가 보고된 바 있다. 이 중, 루테늄은 열역학적인 측면에서 구리와 친화력이 우수해 저전위 도금(underpotential deposition, UPD)이 가능하다는 장점이 있다[82]. 저전위 도금이 일어날 경우, 구리는 Stranski-Krastanov 성장을 보이기 때문에, 도금 초기 연속성이 높은 구리 층을 얻을 수 있다[82]. 저전위 도금을 촉진시키기 위해서는 루테늄 표면에 존재하는 자연산화막(native oxide)을 제거하는 과정이 필요하며 이는 coulometric reduction 방법(CRM)을 이용하는 경우가 많다[86,87]. Fig. 16은 루테늄 위에서 구리 수퍼필링의 결과를 나타내고 있다. 구리 씨앗층을 이용한 것과 동일한 CEAC 메커니즘을 통해 성공적으로 구리 배선을 형성하였다. 루테늄은 원자층 증착(atomic layer deposition, ALD)를 포함한 여러 방법을 통해 형성 가능하므로

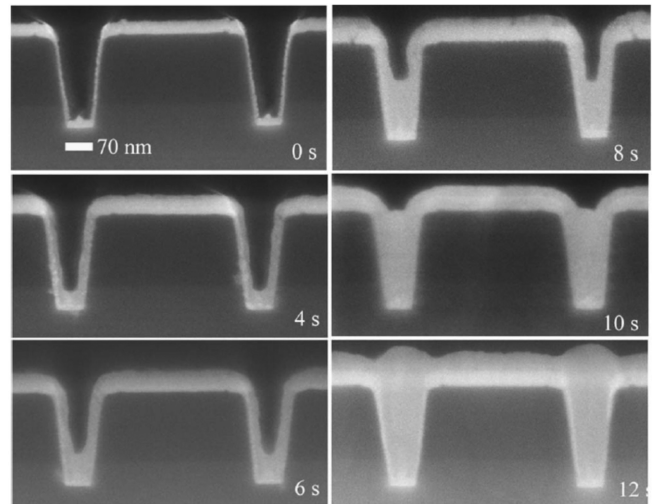


Fig. 16. The gap-filling profiles on Ru seed layer according to the deposition amount. Reprinted with permission from *J. Electrochem. Soc.*, 153, C37 (2006). Copyright 2006, The Electrochemical Society.

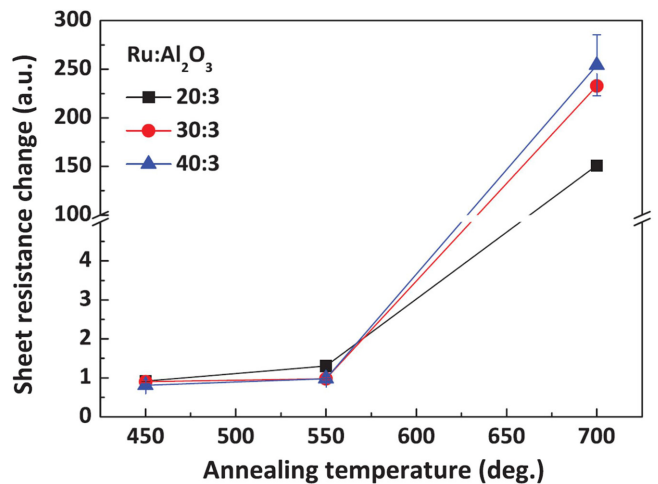


Fig. 17. The sheet resistance change of Cu film after the annealing at various temperatures. Reprinted with permission from *J. Electrochem. Soc.*, 160, D3057 (2013). Copyright 2013, The Electrochemical Society.

물리 기상 증착법을 이용하여 형성하는 구리 씨앗층에 비해 균일성 측면에서 우수할 것으로 생각된다[85-87].

하지만 루테늄을 단일 층으로 사용하면 500 °C 이하의 온도에서 루테늄 층이 구리의 확산을 효과적으로 저해하지 못한다는 보고가 있다[89]. 루테늄 결정립은 주상조직(columnar structure)을 가지기 때문에 결정립계를 따라 구리가 확산하여 실리사이드를 쉽게 형성한다. 따라서 순수한 루테늄에 다른 물질을 동시 증착함으로써 확산 방지막으로써의 특성을 향상시키고자 하는 연구가 발표되고 있다[85-87]. 특히, 알루미늄(alumina, aluminum oxide, Al₂O₃)을 이중층 형태로 증착하면 루테늄의 표면 특성은 유지하면서 구리의 확산을 효과적으로 방지할 수 있다[85-87]. Fig. 17은 루테늄-알루미늄 위에서 전착한 구리 박막의 열처리 전후 면저항 변화를 보여준다[87]. 열처리 후 구리 박막의 면저항 증가는 구리 실리사이드의 형성을 뜻한다. 5 nm의 루테늄 박막은 비교적 낮은 온도인 300 °C에서 구리 실리사이드

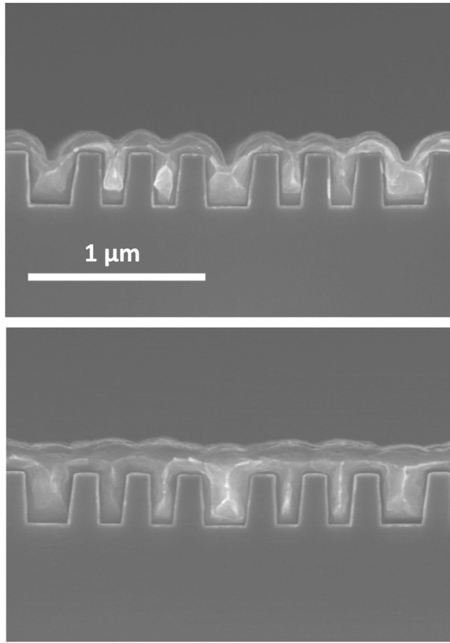


Fig. 18. The successful Cu superfilling on Ru-Al₂O₃ acting as both seed and diffusion barrier layer. Reprinted from *Journal of Alloys and Compounds*, 580, T. E. Hong, T. Cheon, S.-H. Kim, J.-K. Kim, Y.-B. Park, O. J. Kim, M. J. Kim, and J. J. Kim, Effects of AlO_x incorporation into atomic layer deposited Ru thin films: Applications to Cu direct plating technology, 72-81. Copyright 2013, with permission from Elsevier.

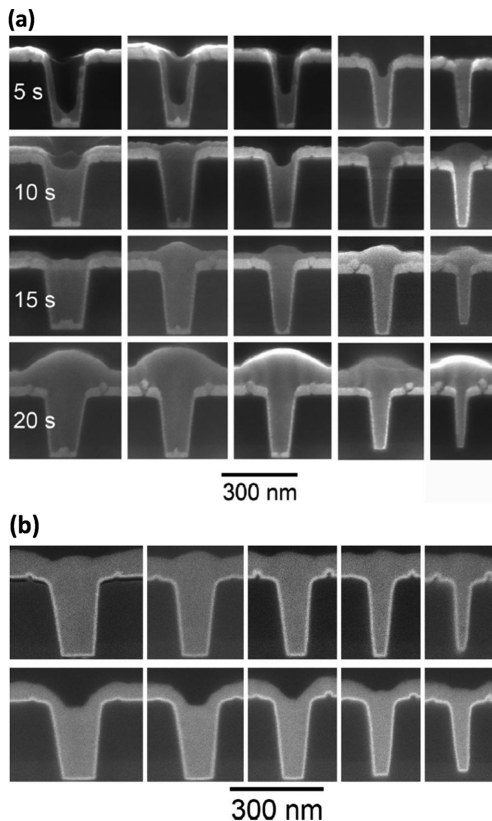


Fig. 19. The gap-filling profiles on (a) iridium and (b) osmium barrier layers. Reprinted with permission from *Electrochem. Solid State Lett.*, 9, C48 (2006) and *Electrochem. Solid State Lett.*, 9, C41 (2006). Copyright 2006, The Electrochemical Society.

형성을 억제하지 못한다 반해[89], 7.5 nm의 루테튬-알루미늄은 550 °C에서도 효과적으로 구리의 확산을 방지하였다[87]. Fig. 18은 루테튬-알루미늄 위에서 수행한 구리 수퍼필링의 결과이다[86]. 루테튬-알루미늄 표면은 대부분 루테튬으로 구성되어 있기 때문에 앞서 소개한 루테튬 위의 직접 전해 도금과 동일한 결과를 얻었다. 어떠한 결함도 형성되지 않았으며 트렌치 윗 부분에 뚜렷하게 bump가 형성된 것을 확인하였다.

Figs. 19(a)와 (b)에 나타나 있듯이 루테튬 이외에 이리듐[84]과 오스뮴[83] 확산 방지막 또한 구리 수퍼필링이 적용 가능하다는 사실이 보고된 바 있으나, 현재 확산 방지막으로써의 역할에 관한 연구는 미비한 실정이다. 종합하면, 확산 방지막과 씨앗층의 역할을 동시에 수행하는 단일층은 수퍼필링을 위한 트렌치나 비아 입구 부분의 폭을 넓혀 준다는 점에서 큰 장점이 있다. 저저항 및 신뢰성이 높은 배선을 형성하기 위해 5 nm 이하의 두께에서 효과적으로 구리의 확산을 방지하는 동시에 구리 전해 도금의 적용이 가능한 물질 개발에 관한 연구가 계속 진행되어야 한다고 생각된다.

4. 결 론

본 총설에서는 전자 소자의 구리 배선 형성을 위한 다마신 공정 및 전해 도금에 대해 소개하였다. 또한, 전해 도금을 위한 전해질에 포함된 유기 첨가제의 영향을 기반으로 구리 수퍼필링 메커니즘에 대해 고찰하였다. 전자 소자의 집적도가 높아짐에 따라 구리 배선의 폭은 현재 수십 nm 이하로 급격히 감소하였다. 이는 구리 배선의 전기적 특성과 신뢰성을 저하시키는 결과를 가져왔으며, 전해 도금을 이용한 수퍼필링 역시 어렵게 하였다. 본 총설에서는 이와 같은 문제 점을 해결하기 위한 다양한 연구를 소개하였다. 유기 첨가제가 구리의 미세 구조에 미치는 영향에 대한 연구를 바탕으로, 구리의 전기적 특성을 향상시킬 수 있는 새로운 유기 첨가제의 개발이 필요하다. 또한, 전류 및 전압의 파형을 변화시키는 펄스, 펄스-리벨스 전해 도금의 적용 역시 고려되어야 한다. 배선의 신뢰성을 높이기 위해서는 구리의 미세 구조를 조절할 뿐만 아니라 구리 기반의 합금 전해 도금을 이용한 수퍼필링에 관한 연구가 지속되어야 한다. 수퍼필링 특성을 향상시키기 위해서는 앞서 제시한 여러 방법뿐만 아니라 새로운 확산 방지막의 개발이 필요하다. 상기 언급한 연구를 기반으로 저저항 고신뢰성을 가지는 금속 배선의 형성이 가능할 것으로 생각된다.

References

- Bohr, M. T., "Interconnect Scaling - the Real Limiter to High Performance ULSI," *Proc. IEEE IEDM Tech. Dig.*, 241-244(1995).
- Interconnect, ITRS (International Technology Roadmap for Semiconductors, on-line document), 2011 edition, International Technology for Semiconductors(2011).
- Andricacos, P. C., Uzoh, C., Dukovic, J. O., Horkans, J. and Deligianni, H., "Damascene Copper Electroplating for Chip Interconnections," *IBM J. Res. Dev.*, **42**, 567-574(1998).
- Vereecken, P. M., Binstead, R. A., Deligianni, H., and Andricacos, P. C., "The Chemistry of Additives in Damascene Copper Plating," *IBM J. Res. Dev.*, **49**, 3-18(2005).
- Kwon, O. J., Cho, S. K. and Kim, J. J., "Electrochemical Metallization Processes for Copper and Silver Metal Interconnection," *Korean Chem. Eng. Res.(HWAHAK KONGHAK)*, **47**, 141-

- 149(2009).
6. Kim, M. J., "The Influences of Pulse and Pulse-reverse Electrodeposition on the Properties of Cu Thin Films and Superfilling for the Fabrication of Cu Interconnection," Ph.D. Dissertation, Seoul National University, Seoul(2013).
 7. Namkung, Y. M., Lee, H.-M., Son, Y.-S., Lee, K. and Kim, C.-K., "Characteristics of Electrodeposited CoWP Capping Layers Using Alkali-metal-free Precursors," *Korean J. Chem. Eng.*, **27**, 1596-1600(2010).
 8. Lee, H.-M., Chae, H. and Kim, C.-K., "Electroless Deposition of NiMoP Films Using Alkali-free Chemicals for Capping Layers of Copper Interconnections," *Korean J. Chem. Eng.*, **29**, 1259-1265 (2012).
 9. West, A. C., Mayer, S. and Reid, J., "A Superfilling Model that Predicts Bump Formation," *Electrochem. Solid State Lett.*, **4**, C50-C53(2001).
 10. Kim, S.-K. and Kim, J. J., "Superfilling Evolution in Cu Electrodeposition; Dependence on the Aging Time of the Accelerator," *Electrochem. Solid State Lett.*, **7**, C98-C100(2004).
 11. Kim, S.-K. Cho, S. K., Kim, J. J. and Lee, Y.-S., "Superconformal Cu Electrodeposition on Various Substrates," *Electrochem. Solid State Lett.*, **8**, C19-C21(2005).
 12. Lu, J., Dreisinger, D. B. and Cooper, W. C., "Thermodynamics of the Aqueous Copper-cyanide System," *Hydrometallurgy*, **66**, 23-36(2002).
 13. Healy, J. P., Pletcher, D. and Goodenough, M., "The Chemistry of the Additives in An Acid Copper Electroplating Bath: Part II. The Instability 4,5 Dithiooctane-1,8-disulphonic Acid in the Bath on Open Circuit," *J. Electronal. Chem.*, **338**, 167-177(1992).
 14. Kang, M. and Gewirth, A. A., "Influence of Additives on Copper Electrodeposition on Physical Vapor Deposited (PVD) Copper Substrate," *J. Electrochem. Soc.*, **150**, C426-C434(2003).
 15. Frank, A. and Bard, A. J., "The Decomposition of the Sulfonate Additive Sulfopropyl Sulfonate in Acid Copper Electroplating Chemistries," *J. Electrochem. Soc.*, **150**, C244-C250(2003).
 16. Huynh, T. M. T., Hai, N. T. M. and Broekmann, P., "Quasi-reversible Interaction of MPS and Chloride on Cu(100) Studied by in situ STM," *J. Electrochem. Soc.*, **160**, D3063-D3069(2013).
 17. Jin, Y., Sui, Y., Wen, L., Ye, F., Sun, M. and Wang, Q., "Competitive Adsorption of PEG and SPS on Copper Surface in Acidic Electrolyte Containing Cl⁻," *J. Electrochem. Soc.*, **160**, D20-D27 (2013).
 18. Bozzini, B., D'Urzo, L., Romanello, V. and Mele, C., "Electrodeposition of Cu Film Acidic Sulfate Solutions in the Presence of bis-(3-sulfopropyl)-disulfide (SPS) and Chloride Ions," *J. Electrochem. Soc.*, **153**, C254-C257(2006).
 19. Tan, M., Guymon, C., Wheeler, D. R. and Harb, J. N., "The Role of SPS, MPSA, and chloride in additive systems for copper electrodeposition," *J. Electrochem. Soc.*, **154**, D78-D81 (2007).
 20. Taubert, C. E., Kolb, D. M., Memmert, U. and Meyer, H., "Adsorption of the Additives MPA, MPSA, and SPS onto Cu(111) from Sulfuric Acid Solutions," *J. Electrochem. Soc.*, **154**, D293-D299 (2007).
 21. Liske, R., Wehner, S., Preusse, A., Kuecher, P. and Bartha, J. W., "Influence of Additive Coadsorption on Copper Superfill Behavior," *J. Electrochem. Soc.*, **156**, H955-H960(2009).
 22. Cho, S. K., Kim, M. J., Koo, H.-C., Kim, S.-K. and Kim, J. J., "An Empirical Relation Between the Plating Process and Accelerator Coverage in Cu Superfilling," *Bull. Korean Chem. Soc.*, **33**, 1603-1607(2012).
 23. Wang, W. and Li, Y.-B., "Effect of Cl⁻ on the Adsorption-desorption Behavior of PEG," *J. Electrochem. Soc.*, **155**, D263-D269 (2008).
 24. Garrido, M. E. H. and Pritzker, M. D., "Inhibition of Copper Deposition by Polyethylene Glycol and Chloride II. Analysis and Application," *J. Electrochem. Soc.*, **156**, D175-D183(2009).
 25. Dow, W.-P., Yen, M.-Y., Lin, W.-B. and Ho, S.-W., "Influence of Molecular Weight of Polyethylene Glycol on Microvia Filling by Copper Electroplating," *J. Electrochem. Soc.*, **152**, C769-C775 (2005).
 26. Cho, S. K., "Superfilling and Leveling in Damascene Cu Electrodeposition for High Performance Semiconductor Devices," Ph.D. Dissertation, Seoul National University, Seoul(2013).
 27. Josell, D., Wheeler, D., Huber, W. H., Bonevich, J. E. and Moffat, T. P., "A Simple Equation for Predicting Superconformal Electrodeposition in Submicrometer Trenches," *J. Electrochem. Soc.*, **148**, C767-C773(2001).
 28. Moffat, T. P., Wheeler, D., Kim, S.-K. and Josell, D., "Curvature Enhanced Adsorbate Coverage Model for Electrodeposition," *J. Electrochem. Soc.*, **153**, C127-C132(2006).
 29. Josell, D., Moffat, T. P. and Wheeler, D., "Superfilling When Adsorbed Accelerators are Mobile," *J. Electrochem. Soc.*, **154**, D208-D214(2007).
 30. Moffat, T. P., Wheeler, D. and Josell, D., "Electrodeposition of Copper in the SPS-PEG-Cl Additive System I. Kinetic Measurements: Influence of SPS," *J. Electrochem. Soc.*, **151**, C262-C271 (2004).
 31. Willey, M. J. and West, A. C., "SPS Adsorption and Desorption During Copper Electrodeposition and Its Impact on PEG Adsorption," *J. Electrochem. Soc.*, **154**, D156-D162(2007).
 32. Baker, B. C., Freeman, M., Melnick, B., Wheeler, D., Josell, D. and Moffat, T. P., "Superconformal Electrodeposition of Silver from a KAg(CN)₂-KCN-KSeCN Electrolyte," *J. Electrochem. Soc.*, **150**, C61-C66(2003).
 33. Ahn, E. J. and Kim, J. J., "Additives for Superconformal Electroplating of Ag Thin Film for ULSIs," *Electrochem. Solid State Lett.*, **7**, C118-C120(2004).
 34. Josell, D., Burkhard, C., Li, Y., Cheng, Y.-W., Keller, R. R., Witt, C. A., Kelley, D. R., Bonevich, J. E., Baker, B. C. and Moffat, T. P., "Electrical Properties of Superfilled Sub-micrometer Silver Metallizations," *J. Appl. Phys.*, **96**, 759-768(2004).
 35. Josell, D., Beauchamp, C. R., Kelley, D. R., Witt, C. A. and Moffat, T. P., "Gold Superfill in Sub-micrometer Trenches," *Electrochem. Solid State Lett.*, **8**, C54-C57(2005).
 36. Hu, Z. and Ritzdorf, T., "Superconformal Electrochemical Deposition of Gold for Metallization in Microelectronic Devices," *J. Electrochem. Soc.*, **153**, C467-C471(2006).
 37. Josell, D. and Moffat, T. P., "Superfilling Damascene Trenches with Gold in a Sulfite Electrolyte," *J. Electrochem. Soc.*, **160**, D3009-D3014(2013).
 38. Kim, S.-K., Bonevich, J. E., Josell, D. and Moffat, T. P., "Electrodeposition of Ni in Submicrometer Trenches," *J. Electrochem. Soc.*, **154**, D443-D451(2007).
 39. Lee, C. H., Bonevich, J. E., Bertocci, U., Steffens, K. L. and Moffat,

- T. P., "Superconformal Ni Electrodeposition Using 2-mercapto-Benzimidazole;" *J. Electrochem. Soc.*, **158**, D366-D376(2011).
40. Interconnect, ITRS (International Technology Roadmap for Semiconductors, on-line document), 2007 edition, International Technology for Semiconductors(2007).
41. Ohring, M., *The Materials Science of Thin Films*, 1st ed., Academic Press, Inc., San Diego(1992).
42. Plombon, J. J., Andideh, E., Dubin, V. M. and Maiz, J., "Influence of Phonon, Geometry, Impurity, and Grain Size on Copper Line Resistivity;" *Appl. Phys. Lett.*, **89**, 113124-1-113124-3(2006).
43. Henriquez, R., Cancino, S., Espinosa, A., Flores, M., Hoffmann, T., Kremer, G., Lisoni, J. G., Moraga, L., Morales, R., Oyarzun, S., Suarez, M. A., Zúñiga, A. and Munoz, R. C., "Electron Grain Boundary Scattering and the Resistivity of Nanometric Metallic Structures;" *Phys. Rev. B*, **82**, 113409-1-113409-4(2010).
44. Josell, D., Brongersma, S. H. and Tokei, Z., "Size-dependent Resistivity in Nanoscale Interconnects;" *Annu. Rev. Mater. Res.*, **39**, 231-254(2009).
45. Mayadas, A. F. and Shatzkes, M., "Electrical-resistivity Model for Polycrystalline Films: the Case of Arbitrary Reflection at External Surfaces;" *Phys. Rev. B*, **1**, 1382-1389(1970).
46. Rosenberg, R., Mayadas, A. F. and Gupta, D., "Grain Boundary Contributions to Transport;" *Surf. Sci.*, **31**, 566-585(1972).
47. Rossnagel, S. M. and Kuan, T. S., "Alteration of Cu Conductivity in the Size Effect Regime;" *J. Vac. Sci. Technol. B*, **22**, 240-247(2004).
48. Paunovic, M. and Schlesinger, M., *Fundamentals of Electrochemical Deposition*, 2nd ed., John Wiley & Sons, Inc., New Jersey (2006).
49. Cho, S. K., Kim, S.-K. and Kim, J. J., "Superconformal Cu Electrodeposition Using DPS; A Substitutive Accelerator for SPS;" *J. Electrochem. Soc.*, **152**, C330-C333(2005).
50. Cho, S. K., Kim, M. J., Koo, H.-C., Kwon, O. J. and Kim, J. J., "Low-resistivity Cu Film Electrodeposited with 3-N,N-dimethylaminodithiocarbamoyl-1-propanesulfonate for the Application to the Interconnection of Electronic Devices;" *Thin Solid Films*, **520**, 2136-2141(2012).
51. Manu, R. and Jayakrishnan, S., "Influence of Polymer Additive Molecular Weight on Surface and Microstructural Characteristics of Electrodeposited Copper;" *Bull. Mater. Sci.*, **34**, 347-356(2011).
52. Kim, M. J., Cho, S. K., Koo, H.-C., Lim, T., Park, K. J. and Kim, J. J., "Pulse Electrodeposition for Improving Electrical Properties of Cu Thin Film;" *J. Electrochem. Soc.*, **157**, D564-D569(2010).
53. Kim, M. J., Lim, T., Park, K. J., Cho, S. K., Kim, S.-K. and Kim, J. J., "Characteristics of Pulse-reverse Electrodeposited Cu Thin Films: I. Effects of the Anodic Step in the Absence of An Organic Additive;" *J. Electrochem. Soc.*, **159**, D538-D543(2012).
54. Kim, M. J., Lim, T., Park, K. J., Kwon, O. J., Kim, S.-K. and Kim, J. J., "Characteristics of Pulse-reverse Electrodeposited Cu Thin Film: II. Effects of Organic Additives;" *J. Electrochem. Soc.*, **159**, D544-D548(2012).
55. Lloyd, J. R. and Clement, J. J., "Electromigration in Copper Conductors;" *Thin Solid Films*, **262**, 135-141(1995).
56. Arnaud, L., Gonnella, R., Tartavel, G., Torrès, J., Gounelle, C., Gobli, Y. and Morand, Y., "Electromigration Failure Modes in Damascene Copper Interconnects;" *Microelectron. Reliab.*, **38**, 1029-1034(1998).
57. Hu, C.-K. and Harper, J. M. E., "Copper Interconnection and Reliability;" *Mater. Chem. and Phys.*, **52**, 5-16(1998).
58. Arnaud, L., Tartavel, G., Berger, T., Mariolle, D., Gobli, Y. and Touet, I., "Microstructure and Electromigration in Copper Damascene Lines;" *Microelectron. Reliab.*, **40**, 77-86(2000).
59. Tan, C. M. and Roy, A., "Electromigration in ULSI Interconnects;" *Mater. Sci. Eng. R*, **58**, 1-75(2007).
60. Barmak, K., Gungor, A., Rollett, A. D., Cabral Jr., C. and Harper, J. M. E., "Texture and Resistivity of Cu and Dilute Cu Alloy Films;" *Mat. Res. Soc. Symp. Proc.*, **721**, 51-60(2002).
61. Lee, W., Cho, H., Cho, B., Kim, J., Kim, Y.-S., Jung, W.-G., Kwon, H., Lee, J., Reucroft, P. J., Lee, C. and Lee, J., "Factors Affecting Passivation of Cu(Mg) Alloy Films;" *J. Electrochem. Soc.*, **147**, 3066-3069(2000).
62. Zhao, B., Kim, H. and Shimogaki, Y., "Effects of Ag Addition on the Resistivity, Texture and Surface Morphology of Cu Metallization;" *Jpn. J. Appl. Phys.*, **41**, L1278-L1281(2005).
63. Zhao, B., Momose, T. and Shimogaki, Y., "Deposition of Cu-Ag Alloy Film by Supercritical Fluid Deposition;" *Jpn. J. Appl. Phys.*, **45**, L1296-L1299(2006).
64. Barmak, K., Cabral Jr., C., Rodbell, K. P. and Harper, J. M. E., "On the Use of Alloying Elements for Cu Interconnect Applications;" *J. Vac. Sci. Technol. B*, **24**, 2485-2498(2006).
65. Kim, M. J., Lee, H. J., Yong, S. H., Kwon, O. J., Kim, S.-K. and Kim, J. J., "Facile Formation of Cu-Ag Film by Electrodeposition for the Oxidation-resistive Metal Interconnect;" *J. Electrochem. Soc.*, **159**, D253-D259(2012).
66. Kim, M. J., Yong, S. H., Ko, H. S., Lim, T., Park, K. J., Kwon, O. J. and Kim, J. J., "Superfilling of Cu-Ag Using Electrodeposition in Cyanide-based Electrolyte;" *J. Electrochem. Soc.*, **159**, D656-D658(2012).
67. Kim, M. J., Park, K. J., Lim, T., Kwon, O. J. and Kim, J. J., "Fabrication of Cu-Ag Interconnection Using Electrodeposition: The Mechanism of Superfilling and the Properties of Cu-Ag Film;" *J. Electrochem. Soc.*, **160**, D3126-D3133(2013).
68. Volov, I., Swanson, E., O'Brien, B., Novak, S. W., Boom, R. V. D., Dunn, K. and West, A. C., "Pulse-plating of Copper-silver Alloys for Interconnect Applications;" *J. Electrochem. Soc.*, **159**, D677-D683(2012).
69. Reid, J., "Copper Electrodeposition: Principles and Recent Progress;" *Jpn. J. Apply. Phys.*, **40**, 2650-2657(2001).
70. Gwillaway, J. W., Willey, M. J. and West, A. C., "Copper Filling of 100 nm Trenches Using PEG, PPG, and a Triblock Copolymer as Plating Suppressors;" *J. Electrochem. Soc.*, **156**, D287-D295(2009).
71. Moffat, T. P., Wheeler, D., Huber, W. H. and Josell, D., "Superconformal Electrodeposition of Copper;" *Electrochem. Solid State Lett.*, **4**, C26-C29(2001).
72. Kim, M. J., Lim, T., Park, K. J., Kim, S.-K. and Kim, J. J., "Pulse-reverse Electrodeposition of Cu for the Fabrication of Metal Interconnection I. Effects of Anodic Steps on the Competitive Adsorption of the Additives Used for Superfilling;" *J. Electrochem. Soc.*, **160**, D3081(2013).
73. Kim, M. J., Lim, T., Park, K. J., Kim, S.-K. and Kim, J. J., "Pulse-reverse Electrodeposition of Cu for the Fabrication of Metal Interconnection II. Enhancement of Cu Superfilling and Leveling;" *J. Electrochem. Soc.*, **160**, D3088(2013).
74. Andruschenko, T. and Reid, J., "Electroless and Electrolytic

- Seed Repair Effects on Damascene Feature Fill?" *Proc. Int. Interconnect Technol. Conf.*, 33-35(2001).
75. Sukamto, J. H., Webb, E., Andryuschenko, T. and Reid, J., "An Evaluation of Electrolytic Repair of Discontinuous PVD Copper Seed Layers in Damascene Vias;" *J. Appl. Electrochem.*, **34**, 283-290(2004).
 76. Cho, S. K., Lim, T., Lee, H.-K. and Kim, J. J., "A Study on Seed Damage in Plating Electrolyte and Its Repairing in Cu Damascene Metallization;" *J. Electrochem. Soc.*, **157**, D187-D192(2010).
 77. Choe, S., Kim, M. J., Kim, H. C., Lim, T., Park, K. J., Cho, S. K., Kim, S.-K. and Kim, J. J., "Seed Repair by Electrodeposition in Pyrophosphate Solution for Acid Cu Superfilling;" *J. Electrochem. Soc.*, **160**, D202-D205(2013).
 78. Shacham-Diamand, Y. and Dubin, V. M., "Copper Electroless Deposition Technology for Ultra-large-scale-integration (ULSI) Metallization;" *Microelectron. Eng.*, **33**, 47-58(1997).
 79. Lee, C. H., Hwang, S., Kim, S.-C. and Kim, J. J., "Cu Electroless Deposition Onto Ta Substrates;" *Electrochem. Solid State Lett.*, **9**, C157-C160(2006).
 80. Josell, D., Wheeler, D., Witt, C. and Moffat, T. P., "Seedless Superfill: Copper Electrodeposition in Trenches with Ruthenium Barriers;" *Electrochem. Solid State Lett.*, **6**, C143-C145(2003).
 81. Zheng, M., Willey, M. and West, A. C., "Electrochemical Nucleation of Copper on Ruthenium;" *Electrochem. Solid State Lett.*, **8**, C151(2005).
 82. Moffat, T. P., Walker, M., Chen, P. J., Bonevich, J. E., Egelhoff, W. F., Richter, L., Witt, C., Aaltonen, T., Ritala, M., Leskelä, M. and Josell, D., "Electrodeposition of Cu on Ru Barrier Layers for Damascene Processing;" *J. Electrochem. Soc.*, **153**, C37-C50(2006).
 83. Josell, D., Witt, C. and Moffat, T. P., "Osmium Barriers for Direct Copper Electrodeposition in Damascene Processing;" *Electrochem. Solid State Lett.*, **9**, C41-C43(2006).
 84. Josell, D., Bonevich, J. E., Moffat, T. P., Aaltonen, T., Ritala, M. and Leskelä, M., "Iridium Barriers for Direct Copper Electrodeposition in Damascene Processing;" *Electrochem. Solid State Lett.*, **9**, C48-C50(2006).
 85. Cheon, T., Choi, S.-H., Kim, S.-H. and Kang, D.-H., "Atomic Layer Deposition of RuAlO Thin Films as a Diffusion Barrier for Seedless Cu Interconnects;" *Electrochem. Solid State Lett.*, **14**, D57-D61(2011).
 86. Hong, T. E., Cheon, T., Kim, S.-H., Kim, J.-K., Park, Y.-B., Kwon, O. J., Kim, M. J. and Kim, J. J., "Effects of AlO_x Incorporation Into Atomic Layer Deposited Ru Thin Films: Applications to Cu Direct Plating Technology;" *J. Alloy. Compd.*, **580**, 72-81(2013).
 87. Kim, M. J., Kim, H. C., Kim, S.-H., Yeo, S., Kwon, O. J. and Kim, J. J., "Direct Electrodeposition of Cu on Ru-Al₂O₃ Layer;" *J. Electrochem. Soc.*, **160**, D3057-D3062(2013).
 88. Xu, W.-Z., Xu, J.-B., Lu, H.-S., Wang, J.-X., Hu, Z.-J. and Qu, X.-P., "Direct Copper Plating on Ultra-thin Sputtered Cobalt Film in An Alkaline Bath;" *J. Electrochem. Soc.*, **160**, D3075-D3080(2013).
 89. Arunagiri, T. N., Zhang, Y., Chyan, O., El-Bouanani, M., Kim, M. J., Chen, K. H., Wu, C. T. and Chen, L. C., "5 nm Ruthenium Thin Film as a Directly Plateable Copper Diffusion Barrier;" *Appl. Phys. Lett.*, **86**, 083104-1-083104-3(2005).